

**DISPLAY ELEMENT DRIVING DEVICE AND DISPLAY DEVICE USING THE SAME DEVICE****Patent number:** JP2002244580 (A)**Publication date:** 2002-08-30**Inventor(s):** MURAHASHI SHUNICHI; KATSUYA MASASHI +**Applicant(s):** SHARP KK +**Classification:****- international:** G02F1/13; G02F1/1345; G09F9/00; H01L21/60; H05K1/02;

G02F1/13; G09F9/00; H01L21/02; H05K1/02; (IPC1-

7): G02F1/1345; G09F9/00; H01L21/60; H05K1/02

- european: G02F1/1345; G02F1/13B5**Application number:** JP20010036080 20010213**Priority number(s):** JP20010036080 20010213**Also published as:**

JP3696512 (B2)

US2002109814 (A1)

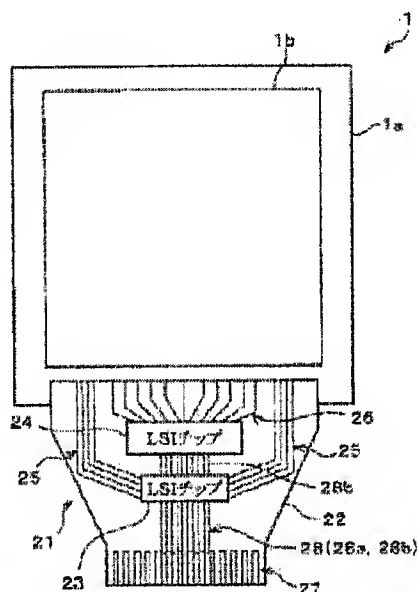
US6853430 (B2)

TW574554 (B)

KR20020067009 (A)

Abstract of JP 2002244580 (A)

PROBLEM TO BE SOLVED: To arrange wirings which are not connected to LSI (large scale integration) chips for drive shortest without interruption in structure in which plural LSI chips for drive are mounted in a liquid crystal panel or the like. **SOLUTION:** This liquid crystal 1 has plural data line electrodes and plural scanning line electrodes which intersect with each other and which form a matrix shaped pixel part at their intersection parts. A mounting package 21 is connected to the end edge part of the side of one side in the glass substrate 1a of the liquid crystal panel 1. An LSI chip 24 driving the data line electrodes and an LSI chip 23 driving the scanning line electrodes are mounted in order from a side closed to the panel 1 on an insulating film-based material 22 in the mounting package 21. Then, a wiring part 28b consisting of plural wirings connecting a connection terminal group 27 and the LSI chip 24 is arranged by being fixed on the film-based material 22 so as to pass the downward of the LSI chip 23 existing on the film-based material 22.

Data supplied from the **espacenet** database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-244580
(P2002-244580A)

(43) 公開日 平成14年8月30日(2002.8.30)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
G 0 9 F 9/00	3 4 8 3 4 6	G 0 9 F 9/00	3 4 8 L 2 H 0 9 2 3 4 6 A 5 E 3 3 8
G 0 2 F 1/1345		G 0 2 F 1/1345	5 F 0 4 4
H 0 1 L 21/60	3 1 1	H 0 1 L 21/60	3 1 1 R 5 G 4 3 5 3 1 1 W
審査請求 未請求 請求項の数7 OL (全 17 頁) 最終頁に続く			

(21) 出願番号 特願2001-36080(P2001-36080)

(22) 出願日 平成13年2月13日(2001.2.13)

(71) 出願人 00000:049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 村橋 俊一

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(73) 発明者 勝谷 昌史

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

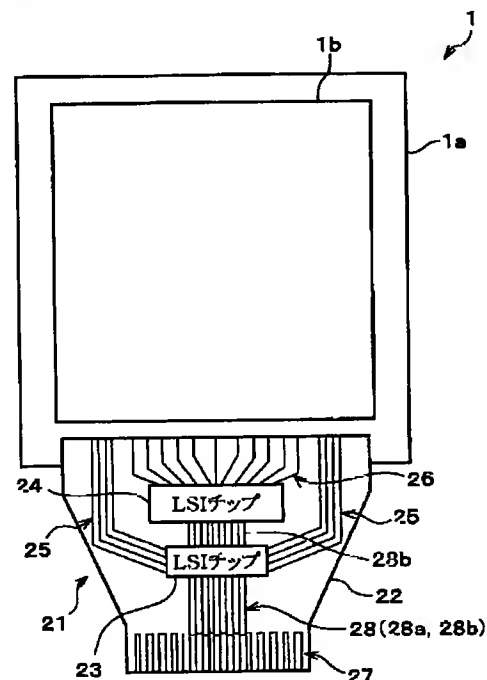
最終頁に続く

(54) 【発明の名称】 表示素子駆動装置およびそれを用いた表示装置

(57) 【要約】

【課題】 液晶パネル等に複数の駆動用 L S I チップを実装する構造において、駆動用 L S I チップに接続されない配線を断絶することなく最短に配置する。

【解決手段】 液晶パネル1は、互いに交差してその交差部分でマトリクス状の画素部を形成する複数のデータ線電極および複数の走査線電極を有する。液晶パネル1のガラス基板1aにおける1辺側の端縁部に、実装パッケージ21を接続する。実装パッケージ21における絶縁性のフィルム基材22上に、液晶パネル1に近い側から順に、データ線電極を駆動する L S I チップ24と、走査線電極を駆動する L S I チップ23とを実装する。接続端子群27と L S I チップ24とを接続する複数の配線からなる配線部28bを、フィルム基材22上の L S I チップ23の下方(実装領域)を通過するようにフィルム基材22に固定して配置する。



【特許請求の範囲】

【請求項1】互いに交差するようにマトリクス状に配された複数の第1電極と複数の第2電極とを有する表示素子を駆動するために設けられ、上記第1電極を駆動する駆動回路がチップに集積された第1集積回路および上記第2電極を駆動する駆動回路がチップに集積された第2集積回路と、

接続端子および該接続端子と上記第1集積回路とを接続する接続配線を有するとともに、上記接続端子と上記表示素子との間で上記第1集積回路が上記第2集積回路よりも上記表示素子に近い位置にあるように上記第1および上記第2集積回路を実装する単一の実装基板とを備え、

上記実装基板において、上記接続配線が上記第2集積回路の実装領域を通過するように固定して配されていることを特徴とする表示素子駆動装置。

【請求項2】上記実装基板が、上記第2集積回路から上記表示素子への出力配線を有し、該出力配線が、上記第2集積回路の両端部から上記第1集積回路の両側方を通過するように配され、

上記接続配線が、第2集積回路の両端部間を通過するように配されていることを特徴とする請求項1に記載の表示素子駆動装置。

【請求項3】上記第2集積回路が、その実装面において、上記接続配線の通過領域を除く領域に外部との電気的接続のための接続電極を有することを特徴とする請求項1または2に記載の表示素子駆動装置。

【請求項4】上記第2集積回路が、上記接続電極とほぼ同じ高さを有する非導電性の突起を上記接続配線の通過領域に有することを特徴とする請求項3に記載の表示素子駆動装置。

【請求項5】上記実装基板が、上記接続電極とほぼ同じ高さを有する非導電性の突起を上記接続配線の通過領域に有することを特徴とする請求項3に記載の表示素子駆動装置。

【請求項6】上記第2集積回路が、上記接続配線を通過する信号の少なくとも1つの信号に所定の処理を施す処理回路を有していることを特徴とする請求項1ないし5のいずれか1項に記載の表示素子駆動装置。

【請求項7】上記表示素子と、請求項1ないし6のいずれか1項に記載の表示素子駆動装置とを備えていることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示素子等の表示素子を駆動する駆動回路が集積された集積回路を表示素子に接続される実装基板に実装する構造を有する表示素子駆動装置およびそれを備えた表示装置に関するものである。

【0002】

【従来の技術】一般に、マトリクス型の液晶表示パネルは、図13に示すような構造を有している。具体的には、この液晶表示パネルは、走査線電極群101と、データ線電極群102と、両電極群101・102との間に挟持された液晶（図示せず）とを有している。走査線電極群101は、互いに並行に配された横方向に延びる走査線電極X1～Xmからなる。一方、データ線電極群102は、走査線電極X1～Xmと直交し、かつ互いに平行に配置された縦方向に延びるデータ線電極Y1～Ynからなる。また、走査線電極Xi（m=i）とデータ線電極Yj（n=j）とが交差する部分には画素部Pが形成される。

【0003】このような液晶表示パネルの代表的な駆動方式としては、特開昭60-222835号公報（液晶マトリクス表示パネルの駆動方式）、特開昭62-3229号公報（液晶駆動方式）等に開示されている駆動方式が挙げられる。これらの駆動方式は、画素部の液晶をアドレスする際に、走査線電極とデータ線電極とを介して画素部に信号を与えることによって、画素部の液晶が光学的性質（光透過率）を変化するに足る電圧を印加している。このようなアドレス方法は、TFT（Thin Film Transistor）、STN（Super Twisted Nematic）等の液晶表示パネルのタイプに関わらず、マトリクス構造で画素部に電圧を与える仕組みの液晶表示パネルに共通する駆動方法である。

【0004】上記の駆動方法のように、マトリクス型の液晶表示パネルを駆動するには、走査信号とデータ信号とを画素部に与える必要がある。このため、図14および図15に示すように、液晶パネル111のガラス基板111aに形成される表示エリア111bの1辺側にデータ線側駆動用LSIチップ（以降、データLSIチップと称する）112を配置し、液晶パネル111の他の辺側に走査線側駆動用LSIチップ（以降、走査LSIチップと称する）113を配置する構成が一般的である。

【0005】図14に示す実装構造では、データLSIチップ112（図中、LSIチップ）が実装されたTCP（Tape Carrier Package）114および走査LSIチップ113（図中、LSIチップ）が実装されたTCP115が、電極を配したガラス基板111aに接続されている。

【0006】図15に示す実装構造では、両LSIチップ112・113が、COG（Chip On Glass）と呼ばれる実装形態でガラス基板111a上に直接実装されている。ガラス基板111aには、両LSIチップ112・113に制御信号、電源電圧等を入力するためのフレキシブルプリント基板116が接続されている。

【0007】その他の実装形態としては、図16に示すように、単一のLSIチップ117（図中、LSIチップ）が実装されたTCP118をガラス基板111aの

1 辺側に接続する方式がある（特開平6-34987号公報参照）。上記のLSIチップ117は、データ信号と走査信号とを発生する駆動回路が併せて集積されている。

【0008】さらに他の実装構造としては、図17に示すように、データLSIチップ112の両側に2個の走査LSIチップ113・113をTCP119上に配置し、そのTCP119をガラス基板111aの1辺側に接続する方式がある（特開平6-34987号公報および特開平6-11721号公報参照）。この方式では、表示エリア111bをガラス基板111aの中央に配置するため、TCP119から表示エリア111bまでの走査線電極用の配線が表示エリア111bの両側に分けて配置されている。このため、2個の走査LSIチップ113・113を設けている。

【0009】

【発明が解決しようとする課題】ところが、図14および図15に示す従来の実装構造では、液晶パネル111の少なくとも2辺の側端部に駆動信号を発生する両LSIチップ112・113を実装する必要がある。このため、図14に示すように、それらを実装したTCP114・115が少なくとも必要であるので、実装構造が複雑になり、それに伴って部品点数が増加する。したがって、このような実装構造は、コストが嵩むという不都合がある。

【0010】また、図15に示すCOG技術を使用した場合、データLSIチップ112と走査LSIチップ113をガラス基板111aの少なくとも2辺側に実装する必要がある。このような実装構造では、ガラス基板111aの中央と、実際の表示エリア111bの中央が一致しなくなるため、液晶パネル111を搭載した機器の中央と表示エリア111bの中央とを合わせるために、表示エリア111bの周辺の非表示エリア（額縁）を広く確保する必要がある。

【0011】例えば、図18に示すように、非表示領域における両LSIチップ112・113が実装されない非実装部の幅は狭くてもよいが、ガラス基板111aの非表示領域における両LSIチップ112・113を実装する実装部の幅は広くなければならない。具体的には、実装部の幅が5mmであり、非実装部の幅が1mmであり、ガラス基板111aの端縁から液晶パネル111を収容する筐体121までの距離が1mmである場合、表示エリア111bの端から筐体121の内壁までの寸法は実装部側で6mmであり、非実装側で2mmである。

【0012】図15の構成を上記の寸法にしたがって作製すると、液晶パネル111を搭載する機器の形状は、図18に示すように、表示エリア111bが筐体121の右側に偏る。機器にもよるが、一般的に、表示エリア111aの中心は筐体121の左右端から等しい距離に

ある方が見栄えがよい。このため、図19に示すように、表示エリア111bの端から筐体121の内壁までの寸法を表示エリア111bの左右で6mm確保し、筐体121を左右対称に形成する必要がある。しかしながら、このような筐体121では、横方向の長さが不要に大きくなってしまう。

【0013】一般のTCPでは、フィルムにスリットを設けて折り曲げることができるため、COGによる前述の実装構造のような問題は少ない。しかしながら、図14に示す実装構造でも、TCP114・115とガラス基板111aとの接続領域が2mm程度の幅で必要となるので、COGほど顕著ではないが、筐体121の形成において同様な不都合が生じる。

【0014】図16に示す実装構造では、LSIチップ117内に液晶パネル111を駆動するための回路構成を全て組み込む必要がある。例えば、128×164画素のカラー液晶パネルを駆動する場合、128×3（R、G、B）本のデータ線電極および164本の走査線電極を要するため、LSIチップ117は、合わせて548個の駆動端子を有する必要がある。

【0015】データ線電極を表示エリア111bにおいて上下に2分割して、ガラス基板111aの上部および下部に配置した2個のLSIチップで液晶パネル111を駆動する構成も考えられる。この構成では、上部および下部のLSIチップについて、128×3本のデータ線電極および82本の走査線電極が割り当てられるので、1つのLSIチップは、合わせて466個の駆動端子を有する必要がある。

【0016】しかしながら、多くの駆動回路とこれらに対応する端子とを内蔵した単一のLSIチップは、面積が大きいために、1ウェハでの取れ数が少なくなるため、製造コストが割高である。

【0017】また、一般に、液晶材料の光学的特性（光透過率）を変化させるための電圧は、実効電圧で10V程度である。しかしながら、液晶材料の信頼性保持のため、液晶に印加される電圧を交流化することが一般的である。このため、駆動方法によっては、実際の駆動電圧は、±10V（振幅では20V）程度が必要になる。

【0018】ロジック回路等の低電圧駆動（5V程度）の回路を作製する通常のLSIプロセスに比べて、高電圧駆動（20V等）の回路を作製するプロセスでは、製造コストが高い上、耐圧を確保するためにLSIチップを大きい面積に形成する必要がある。

【0019】駆動方法等によっては、本数の多いデータ線電極の電圧を低く設定できる場合がある。この場合、ロジック回路等を作製する一般的なプロセスでデータ線電極側のLSIチップを作製することができる。一般的なLSIプロセスで作製される回路は0V～5V程度の電圧範囲を駆動電圧として用いるので、上記のようなデータ線電極側のLSIチップを用いた場合、液晶駆動の

電圧が不足する。このため、液晶駆動電圧を、走査側電極の駆動電圧を高くすることによって補う必要がある。これにより、高価な高耐圧のLSIプロセスで作製されるのは、走査線電極側のLSIチップのみとなるので、駆動装置としてのトータルコストを低く抑えることができる。

【0020】しかしながら、図16に示すように、単一のLSIチップ117を用いる実装構造では、データ線電極側および走査線電極側に分けてLSIチップを作製することができない。このため、LSIチップ117を高価な高耐圧プロセスで作製しなければならず、LSIチップ117の製造コストを低減することはできない。

【0021】一方、図17に示す実装構造では、2個の走査LSIチップ113・113がTCP119上に配されているので、データLSIチップ112と走査LSIチップ113・113とでLSIプロセスを分けることができる。それゆえ、この実装構造は、図16の実装構造に比べてLSIチップのコストを低く抑えることができる。しかしながら、2個の走査LSIチップ113・113を有するため、外部から入力される走査線駆動用の制御信号を、TCP119の接続端子群119aの両側に設けられた端子からそれぞれ入力する必要がある。このため、TCP119の周辺部の構造が複雑になり、駆動装置としての部品点数が増加してコスト高を招く。

【0022】図20に示すように、TCP131に駆動用のLSIチップ132を実装する場合では、下記の構造が用いられる。このTCP131において、信号を伝達するためのリード133…が絶縁性のフィルム基材134上に接着層135を介して固定されている。LSIチップ132は、LSIチップ132の実装面に設けられた bumps 136…をリード133…に固定することによって、リード133…に取り付けられる。配線層を形成するリード133…は、ソルダレジスト等からなる保護材136によって保護されている。そして、LSIチップ132およびリード133…は、樹脂層137によって保護されている。

【0023】上記の構造を有するTCP131において、フィルム基材134には、予め接着層135を形成するための接着剤が塗布されるとともに、LSIチップ132の実装スペースのためのデバイスホール131aが形成されている。そして、このフィルム基材134上に銅箔等の導電性材料を貼り付け、それにエッチングを施すことにより、リード133…を含んだ配線を残す。このようなTCP131では、リード133…がデバイスホール131aに突き出るように配されるので、リード133…と bumps 136…との位置合わせが容易になるという利点がある。

【0024】しかしながら、上記のTCP131の構造では、デバイスホール131aがあるためにLSIチップ

132に接続する以外の配線をLSIチップ132の領域に配することができないという欠点がある。リード133…(配線)に用いられる材料は、厚さ20 μ m、幅40 μ m程度の銅箔等の導電性材料であるため、断絶しやすい。したがって、フィルム基材の無い部分であるデバイスホール131aに配線のみを残してLSIチップ132を実装しようとする、その配線は、LSIチップ132の実装時に生じる圧力で簡単に断絶してしまう。

【0025】また、樹脂層137を形成する際、デバイスホール131aに充填する樹脂材料を圧力をかけて流し込むため、応力が生じる。すると、フィルム基材134上に固定されていない配線は、その応力によって移動し、他の配線またはLSIチップ132に形成されている bumps 136…と短絡してしまう。なお、フィルム基材134の厚さは75 μ m程度である。

【0026】本発明は、上記の事情に鑑みてなされたものであって、液晶パネル等に複数の駆動用LSIチップ(集積回路)を実装する構造において、駆動用LSIチップに接続されない配線を断絶することなく最短に配置することを目的としている。

【0027】

【課題を解決するための手段】本発明の表示素子用集積回路の実装構造は、上記の課題を解決するために、互いに交差するようにマトリクス状に配された複数の第1電極と複数の第2電極とを有する表示素子を駆動するために設けられ、上記第1電極を駆動する駆動回路がチップに集積された第1集積回路および上記第2電極を駆動する駆動回路がチップに集積された第2集積回路と、接続端子および該接続端子と上記第1集積回路とを接続する接続配線を有するとともに、上記接続端子と上記表示素子との間で上記第1集積回路が上記第2集積回路よりも上記表示素子に近い位置にあるように上記第1および上記第2集積回路を実装する単一の実装基板とを備え、上記実装基板において、上記接続配線が上記第2集積回路の実装領域を通過するように固定して配されていることを特徴としている。

【0028】上記の構成では、単一の実装基板において、実装基板の接続端子と表示素子との間で第1集積回路が第2集積回路よりも表示素子に近い位置にあるように実装される。このため、実装基板の面積を小さくしようとすれば、第1および第2集積回路を近接して配置する必要がある。

【0029】このような構造では、接続端子から第1集積回路に至る接続配線は、最短の経路を採ろうとすると、第2集積回路に妨げられることになる。ところが、実装基板において、接続配線が第2集積回路の実装領域を通過するように配されているので、接続配線がその実装領域を迂回して配されることがない。それゆえ、接続配線を最短に配置することができ、接続配線の引き回し

が不要になる。これにより、実装基板の面積を縮小することができる。また、実装基板において、接続配線は、固定して配されているので、第2集積回路の実装基板への実装時に生じる圧力で断線することはない。

【0030】上記の表示素子駆動装置において、上記実装基板が、上記第2集積回路から上記表示素子への出力配線を有し、該出力配線が、上記第2集積回路の両端部から上記第1集積回路の両側方を通過するように配され、上記接続配線が第2集積回路の両端部間を通過するように配されていることが好ましい。このような構成では、第2集積回路から表示素子への出力配線が、第2集積回路の両端部から第1集積回路の両側方を通過するように配されることにより、第2集積回路と第1集積回路との間に出力配線が存在しない。そこで、接続配線が第2集積回路の両端部間を通過するように配されることによって、接続配線を上記の出力配線が存在しない領域に配置することができる。

【0031】上記の表示素子駆動装置において、上記第2集積回路が、その実装面において、上記接続配線の通過領域を除く領域に外部との電気的接続のための接続電極を有することが好ましい。このような構成では、接続配線の通過領域に接続電極が存在しないので、第2集積回路の実装領域を通過する接続配線が接続電極と接触することがない。

【0032】また、この構成においては、上記第2集積回路が、上記接続電極とはほぼ同じ高さを有する非導電性の突起を上記接続配線の通過領域に有することが好ましい。あるいは、上記の構成においては、上記実装基板が、上記接続電極とはほぼ同じ高さを有する非導電性の突起を上記接続配線の通過領域に有することが好ましい。

【0033】接続電極の配置の都合上細長い長方形形状に形成されることが多い第2集積回路は、サイズが大きくなるほど、接続電極のない部分に応力が作用しやすくなる。そこで、第2集積回路または実装基板が、上記接続電極とはほぼ同じ高さを有する非導電性の突起を接続配線の通過領域に有することにより、部分的な応力の集中をなくすることができる。

【0034】上記の各表示素子駆動装置においては、上記第2集積回路が、上記接続配線を通過する信号の少なくとも1つの信号に所定の処理を施す処理回路を有していることが好ましい。このような構成では、処理回路を実装基板上に独立して設ける必要がなくなる。

【0035】本発明の表示装置は、上記表示素子と、上記各表示素子駆動装置のいずれかとを備えていることを特徴している。

【0036】上記の構成では、各表示素子駆動装置のそれぞれの利点を有する表示装置を得ることができる。

【0037】

【発明の実施の形態】〔実施の形態1〕本発明の実施の一形態について図1ないし図11に基づいて説明す

ば、以下の通りである。

【0038】図2に示すように、本実施の形態に係る液晶モジュールは、液晶パネル1、後述する周辺回路等からなっている。

【0039】表示素子としての液晶パネル1は、一般的なSTN液晶パネルであり、走査線電極群2と、データ線電極群3と、マトリクス状に配された両電極群2・3との間に挟持された液晶（図示せず）とを有している。走査線電極群2は、互いに並行に配された横方向に延びる走査線電極 $X_1 \sim X_n$ からなる。一方、データ線電極群3は、走査線電極 $X_1 \sim X_m$ と直交し、かつ互いに平行に配置された縦方向に延びるデータ線電極 $Y_1 \sim Y_n$ からなる。また、走査線電極 X_i ($m=i$)とデータ線電極 Y_j ($n=j$)とが交差する部分には画素部Pが形成される。画素部P…は、液晶パネル1の表示エリア1a内にマトリクス状に設けられている。

【0040】液晶パネル1には、走査線電極駆動回路（以降、コモンドライバと称する）11およびデータ線電極駆動回路（以降、セグメントドライバと称する）12が接続されている。また、コモンドライバ11およびセグメントドライバ12には、コントロール回路13および電圧発生回路14が接続されている。コモンドライバ11は、走査線電極群2に駆動すべき走査線電極 $X_1 \sim X_m$ を選択するための走査信号を出力する。セグメントドライバ12は、データ線電極群3に表示用データに基づくデータ信号を出力する。

【0041】コントロール回路13は、表示をコントロールするために、表示データを格納するVRAM15から表示データを受け取り、システムバス16を通じた外部との通信での指示に応じて、表示制御のためのコントロール信号CTLを両ドライバ11・12に供給する。ただし、セグメントドライバ12に供給するコントロール信号には、表示データが含まれている。

【0042】電圧発生回路14は、異なる5種類の表示用の電圧 $V_0 \sim V_5$ を発生し、コモンドライバ11に電圧 $V_0 \cdot V_1 \cdot V_4 \cdot V_5$ を与える一方、セグメントドライバ12に電圧 $V_0 \cdot V_2 \cdot V_3 \cdot V_5$ を与える。これらの電圧 $V_0 \sim V_5$ を基に液晶駆動の信号レベルが決定される。駆動電圧波形については、前述の公開公報等に記載されているため、その説明を省略する。

【0043】また、両ドライバ11・12には、電源電圧Vccおよび基準電圧Vssと、昇圧電源電圧Vddとが与えられる。電源電圧Vccはロジック駆動用の電圧（5V系）であり、基準電圧Vssは接地電位等与えられる基準の電圧である。また、昇圧電源電圧Vddは、昇圧された出力段駆動用の電圧であり、駆動方法によっては必要である（例えば20V）。

【0044】図1に示すように、液晶パネル1には、ガラス基板1における1辺側に実装パッケージ21が接続されている。実装パッケージ21は、COF (Chip On F

ilm)と呼ばれる技術によって、コモンドライバ11がチップに集積されたLSIチップ23(第2集積回路)およびセグメントドライバ12(第1集積回路)がチップに集積されたLSIチップ24を、ポリイミド等からなる絶縁性のフィルム基材22上に実装するパッケージである。この実装パッケージ21は、一端側で液晶パネル1の接続用のITO(Indium Tin Oxide; インジウム錫酸化物)と接続されている。

【0045】実装基板としてのフィルム基材22においては、液晶パネル1に近い側にLSIチップ24が配され、液晶パネル1から遠い側にLSIチップ23が配されている。また、フィルム基材22は、LSIチップ23と液晶パネル1とを接続する配線部25・25と、LSIチップ24と液晶パネル1とを接続する配線部26とを有している。配線部26は、フィルム基材22に固定して配される複数の導電性配線(Cu配線)からなる。一方、出力配線としての配線部25・25は、同様にフィルム基材22に固定して配される複数の導電性配線(Cu配線)からなるが、LSIチップ24の両側方を通過するように配されている。また、フィルム基材22は、液晶パネル1と接続される端部と反対側の端部に接続端子としての接続端子群27を有している。

【0046】フィルム基材22には、LSIチップ23・24と接続端子群27とを接続する配線部28が形成されており、この配線部28もフィルム基材22に固定して配される複数の導電性配線(Cu配線)からなっている。配線部28は、LSIチップ23に接続される第1配線部28aと、LSIチップ23の下方を通過してLSIチップ24に接続される接続配線としての第2配線部28bとからなる。

【0047】なお、第2配線部28bは、前述のコントロール信号CTL、電圧V0・V2・V3・V5(セグメントドライバ12用)、電源電圧Vcc、基準電圧Vssおよび昇圧電源電圧Vddの入力のための配線だけでなく、信号の出力のための配線を含んでいてもよい。例えば、その信号は、コントロール信号CTLに含まれ、セグメントドライバ12に設けられたシフトレジスタを転送されるスタートパルス信号であってもよい。このスタートパルス信号がシフトレジスタを転送される間に、シフトレジスタの各出力段から出力されるパルス信号が、データ線電極Y1~Ynに与える表示データに応じた電圧V0・V2・V3・V5から1つを選択するためのサンプリング信号として用いられる。

【0048】上記のスタートパルス信号は、シフトレジスタを転送された後、再び第2配線部28bを介して接続端子群27から出力され、外部に設けられた図示しないコントローラ(コントロール回路13の場合もある)等に入力される。このコントローラは、そのスタートパルス信号を検出することによって、1水平走査期間における表示データの出力を終了させるか、あるいは、コン

トローラ内の表示データ出力処理回路のカウンタをリセットさせる。

【0049】同様に、第1配線部28aは、前述のコントロール信号CTL、電圧V0・V1・V4・V5(コモンドライバ11用)、電源電圧Vcc、基準電圧Vssおよび昇圧電源電圧Vddの入力のための配線だけでなく、信号の出力のための配線を含んでいてもよい。例えば、その信号は、コントロール信号CTLに含まれ、コモンドライバ11に設けられたシフトレジスタを転送されるスタートパルス信号であってもよい。

【0050】上記のスタートパルス信号は、シフトレジスタを転送された後、再び第1配線部28aを介して接続端子群27から出力され、上記のコントローラ等に入力される。このコントローラは、そのスタートパルス信号を検出することによって、1垂直走査期間における表示データの出力を終了させるか、あるいは、コントローラ内の表示データ出力処理回路のカウンタをリセットさせる。

【0051】上記のフィルム基材22は、複数のフィルムと導電性配線とが間に接着層を介して貼り合わされる3層の構造で形成されてもよいし、接着層の代わりに熱圧着によって貼り合わされる2層の構造で形成されてもよい。フィルム基材22の厚さは、例えば、40μm程度であり、導電性配線は、厚さが10μm程度であり、幅が28μm程度である。

【0052】なお、実装基板としては、フィルム基材22に限らず、セラミック基板等の採用も可能である。

【0053】液晶パネル1上のITO線およびフィルム基材22上の導電性配線は、図示しないが、例えば、AFC(Anisotropic Conductive Film; 異方性導電膜)を介して熱圧着により電氣的に接続され、かつ固定されている。

【0054】ここで、配線部28をLSIチップ23の下方に通過させるための構造について説明する。

【0055】図3(a)および(b)に示すように、実装パッケージ21において、LSIチップ23が、フィルム基材22上に実装されている。LSIチップ23は、外部との電氣的接続のための接続電極としてのバンプ23a…によってリード31…と接続される。導電性配線としてのリード31…は、第1配線部28aを構成する。LSIチップ23およびリード31…は、樹脂層34によって保護されている。このような実装構造では、フィルム基材22上にLSIチップ23の実装領域が設けられ、バンプ23a…とリード31…とが位置合わせされる。また、リード31…および後述するリード32…は、ソルダレジスト等からなる保護材35によって保護されている。

【0056】図3(b)は、フィルム基材22側を透過して見た状態で実装パッケージ21の配線部分を示している。この図3(b)に示すように、リード31…は、

従来のTCP（図20参照）と同様の構造でバンパ23a…に接続されるが、LSIチップ23が実装される下方にもフィルム基材22が存在している。その部分、すなわち、フィルム基材22上のLSIチップ23の実装領域には、LSIチップ23に接続されないリード32…が固定されている。したがって、リード32…は、LSIチップ23の実装時に断絶することはないし、樹脂層34を形成する際、LSIチップ23の周囲に樹脂材料を充填させる時に生じる応力によって移動することもない。

【0057】したがって、本実装構造を採用すれば、LSIチップ23と接続されないリード32…をLSIチップ23の下方（フィルム基材22とLSIチップ23との間）に配置することができる。これにより、実装パッケージ21において、LSIチップ23・24を単一のフィルム基材22上に実装しても、第2配線部28bを構成するリード32…をLSIチップ23の両側に迂回して配置する必要がなくなり、信号線の引き回しが単純になる。それに伴い、フィルム基材22の面積も小さくすることができる。これにより、実装パッケージ21のコストを低減させることができる。

【0058】また、LSIチップ23と液晶パネル1との間の配線部25・25が、LSIチップ24の両側方を通過するように配されているので、LSIチップ23とLSIチップ24との間に配線部25が存在しない。これにより、第2配線部28bは、LSIチップ23の下方を通過して最短でLSIチップ24に接続される。また、配線部25・25が、LSIチップ24の可能な限り近くに配されることによって、フィルム基材22の面積を縮小することができる。

【0059】上記のように構成される実装パッケージ21においては、フィルム基材22の接続端子群27に、前述のコントロール回路13、電圧発生回路14、VRAM16等が搭載された基板（図示せず）が接続される。これにより、コントロール回路13からのLSIチップ23用のコントロール信号CTLは、接続端子群27に入力されて第1配線部28aを介してLSIチップ23に入力される。一方、コントロール回路13からのLSIチップ24用のコントロール信号CTLは、接続端子群27に入力されて、LSIチップ23の下方を通過する第2配線部28bを介してLSIチップ24に入力される。

【0060】また、LSIチップ23・24が分けられていることで、これらを別のLSIプロセスで作製することができる。例えば、LSIチップ24を一般的で安価なLSIプロセスで作製することができる。それゆえ、LSIチップ24のコスト低く抑えて、実装パッケージ21、ひいては液晶パネル1を含む液晶モジュールの低コスト化を図ることができる。

【0061】図4に示すように、LSIチップ23は、

接続電極としてのバンパ23a…を両端部に有している。具体的には、バンパ23a…は、LSIチップ23におけるフィルム基材22に実装される面である実装面23e（底面）における、長辺側端縁の近傍に並設されるとともに、短辺側端縁の近傍に並設されている。これにより、LSIチップ23の実装面23eにおける中央部分に第2配線部28bが通過しうる大きなスペース（通過領域）が設けられる。また、バンパ23a…以外のLSIチップ23の上面を除く領域は、図3（a）に示すように、樹脂層34によって絶縁されている。それゆえ、LSIチップ23の下側における上記のスペースに設けられた配線は、LSIチップ23への配線と短絡することはない。

【0062】ところで、バンパ23aの高さは10μm程度であるので、LSIチップ23のサイズがあまり大きくなければ、バンパ23a…のないLSIチップ23の中央部に、LSIチップ23の実装時に応力が作用することはほとんどない。しかしながら、LSIチップ23のサイズが大きくなると、その細長い形状のため、LSIチップ23の中央部に応力が作用する場合がある。また、LSIチップ23とフィルム基材22との接続後に、樹脂層34を形成するためにLSIチップ23とフィルム基材22との間に樹脂を充填する際、バンパ23a…がLSIチップ23の両端部に集中して設けられているため、その部分で樹脂が均一に広がらないことがある。

【0063】このような不都合を解消するには、例えば、図5に示すように、LSIチップ23の実装面23eにおける中央部に、バンパ23aとほぼ同じ高さの突起23b…を設ける。突起23b…は、LSIチップ23の長辺側端縁の近傍に並設される。この突起23bは、非導電材料で形成されており、フィルム基材22上の配線と短絡することはない。

【0064】このような突起23b…を設けることによって、樹脂が均一に広がるだけでなく、実装時に加わる力によってLSIチップ23に生じる応力が抑圧されるので、応力によるLSIチップ23の反りを防止することができる。LSIチップの反りが、LSIチップの回路特性を変化させる可能性のあることが指摘されており、特にアナログ回路の特性変動が問題になる。これは、LSIチップが薄くなるほど顕著であり、将来、LSIチップの薄型化が進められることを考慮すれば、上記のLSIチップ23の反りを防止することは好ましい。

【0065】また、LSIチップ23の実装後に充填された樹脂が硬化して形成される樹脂層34が、スペーサとなってLSIチップ23の中央部分をフィルム基材22上で支持するので、LSIチップ23が自重で反ることがなくなる。つまり、LSIチップ23は、実装されたときの状態で樹脂層34によって固定される。

【0066】なお、突起23b…の配置間隔（配置密度）は、樹脂の均一な広がりを得るために、バンパ23a…の配置間隔とほぼ等しいことが望ましい。

【0067】図6は、上記の突起23b…を有するLSIチップ23への配線構造を示している。前述の接続端子群27に接続された配線部28は、LSIチップ23・24に供給するコントロール信号CTLのための信号線、および前述の各種の電圧を入力するための電源線を含んでいる。そのうち、第1配線部28aは、LSIチップ23の接続電極（バンパ23a…）に接続される一方、他の第2配線部28bは、LSIチップ23の下方を通過してLSIチップ24に接続される。LSIチップ23の実装面23eには、第2配線部28bの通過領域に、電気的に導通する接続電極がないため、そのような接続電極による第2配線部28b間の短絡、LSIチップ23の内部回路との短絡等が生じることはない。

【0068】突起23bは、LSIチップ23がフィルム基材22に実装された状態では、LSIチップ24への配線と間隔をおいた位置にあるので、その配線と接触することはない。また、突起23bは、前述のように非導電材料で形成されているので、仮に上記の配線と接触するようなことがあっても、短絡等の問題を起こすことはない。

【0069】なお、突起23b…は、LSIチップ23に予め設けられているが、フィルム基材22上に予め配置されていてもよい。

【0070】例えば、図7に示すように、突起22a…が、フィルム基材22におけるLSIチップ23の実装領域22bに設けられている。突起22a…は、実装領域22bの中央部における長辺側端縁の近傍に並設される。LSIチップ23の実装時には、フィルム基材22が平坦な支持基台上に固定されるので突起22aが、LSIチップ23に生じる応力を抑圧する。したがって、LSIチップ23に突起23b…が設けられる構造と同様、LSIチップ23の反りを防止することができる。

【0071】配線部25・25は、図6に示すように、LSIチップ23の両側部から引き出されるように予め接続されている。これにより、配線部25・25は、図1に示すように、フィルム基材22の両側縁部に配され、前述のように、液晶パネル1において対向する走査線電極入力端に接続される。

【0072】LSIチップ24への配線構造については、従来の配線構造と同様であるので、その説明を省略する。

【0073】LSIチップ23におけるバンパ23a…のレイアウトおよびフィルム基材22上の配線パターンは、図6に示す構成に特に限定されず、例えば、図8ないし図11に示すような構成であってもよい。

【0074】図8に示す構成では、LSIチップ23への入力線となる第1配線部28aを接続するためのバン

パ23a…が、LSIチップ23の中央部における入力側長辺端縁部の近傍にまとめて配置されている。その代わり、第2配線部28bは、第1配線部28aの両側に分けて配され、第1配線部28aのないLSIチップ23の中央部でまとめられている。

【0075】これにより、第1配線部28aが第2配線部28bの両側に分けて配される図6の構成とは異なり、第1配線部28aがLSIチップ23の中央部にまとめて配される。また、この構成では、LSIチップ23の中央部にバンパ23a…を有するので、図6の構成でLSIチップ23が有していた突起23b…が不要になる。

【0076】また、図6では、配線が直線的に描かれているが、前述のように、LSIチップ23・24に共通に設けられる電源線（Vcc, Vss, Vdd, V0～V5）等は、実際にはLSIチップ23・24に接続されるために分岐している（図10参照）。

【0077】図9に示す構成では、LSIチップ23の入出力線となる第1配線部28aを接続するためのバンパ23a…が、図6の構成のように、LSIチップ23の側端縁の近傍ではなく、LSIチップ23の中央部、具体的にはLSIチップ23の長辺側の2つの側端縁に配されるバンパ列の間に配されている。このような構成では、LSIチップ23の長辺方向のサイズが短縮されるので、LSIチップ23の面積を縮小することができる。

【0078】なお、この構成においても、前述の突起23b…がLSIチップ23に設けられていてもよい。

【0079】図10に示す構成では、LSIチップ23・24に共通する配線をLSIチップ23に接続することを実現する。具体的には、LSIチップ23は、第2配線部28bにおける特定の配線（例えば、電源線）から分岐した配線を接続するためのバンパ23c…を実装面23eに有している。バンパ23c…は、第1配線部28aが接続されるバンパ23a…と並設され、かつ短絡防止のために第2配線部28bから離れた位置に配されている。あるいは、バンパ23c…は、第2配線部28bの通過位置に配されていてもよい。この位置にバンパ23c…を形成することによって、上記のように第2配線部28bの配線を分岐させる必要はない。

【0080】図11（a）に示す構成は、LSIチップ23にバッファ、アンプ、レベルシフタ等の回路を設け、他のLSIから伝送される際の信号の減衰の補間、増幅、インピーダンス変換、レベル変換等を行うようにした実装パッケージ21に好適である。LSIチップ24を含む図示しない他のLSIも、同様な回路を有し、後述する同様なバンパ構造を有していてもよい。

【0081】この構成において、LSIチップ23は、第2配線部28bを接続するためのバンパ23d₁～23d₄ およびバンパ23d₁₁～23d₁₄を有している。

また、図11(b)に示すように、LSIチップ23の内部には、LSIチップ24への入力信号に対し各種の処理を施すためのバッファ、アンプ、レベルシフタ等を含む処理回路としての内部回路41~44が設けられている。内部回路41~44の入力端子にはそれぞれパンプ23d₁~23d₄が接続され、内部回路41~44の出力端子にはそれぞれパンプ23d₁₁~23d₁₄が接続されている。

【0082】上記の構成によって、第2配線部28bを伝送される信号を処理する回路をフィルム基材22上に独立して設ける必要がなく、実装パッケージ21のより一層の面積を縮小することができる。

【0083】なお、上記の内部回路41~44では、4つの信号についてそれぞれ独立して所定の処理を施すようにしているが、処理を施す信号の数は特に限定されず、少なくとも1つの信号であってよい。

【0084】ここで、液晶パネル1の具体例として、従来の技術で説明した構成と同様、画素数128(データ側)×3(R, G, B)×164(走査側)の例について説明する。

【0085】LSIチップ24は、出力端子として384(=128×3)個の端子を有しており、配線部26を介して液晶パネル1に駆動信号を出力する。LSIチップ24に入力される信号として、主なコントロール信号CTLは、データ転送クロック信号、前述のスタートパルス信号、ラッチ信号、表示データ、交流化信号、輝度調整信号等が挙げられる。

【0086】データ転送クロック信号は、R, G, Bにそれぞれ対応した表示データをLSIチップ24内部のシフトレジスタで転送させるためのクロック信号である。スタートパルス信号は、その転送の開始を制御する信号である。ラッチ信号は、表示データが1水平同期期間の間に転送された結果得られた信号をラッチする信号である。交流化信号は、液晶の交流駆動するためにLSIチップ24から出力されるデータ信号を交流化する信号である。輝度調整信号は、表示画面の輝度を調整するためにデータ信号の電圧レベルを調整する信号である。

【0087】また、LSIチップ24には、前述のように電源電圧Vcc、基準電圧Vssおよび昇圧電源電圧Vddと、液晶パネル1に印加するための電圧V0・V2・V3・V5(図2参照)が入力される。

【0088】一般に、LSIチップ24のようなデータ線電極を駆動するLSIチップは、多出力および少入力であるため、非常に細長い長方形形状をなしている。このため、そのLSIチップにおいて、液晶パネル1側の長辺、あるいは両隣の短辺も含む3辺、さらには他の長辺にも出力端子が配される。一方、入力信号および電源用の端子は、他の長辺に配されている。

【0089】一方、LSIチップ23に入力される信号として、主な制御信号は、転送信号、スタートパルス信

号、交流化信号等が挙げられる。転送信号は、走査信号をLSIチップ23内部のシフトレジスタで転送させるための信号(例えば水平同期信号)である。スタートパルス信号は、その転送開始を制御する信号である。交流化信号は、液晶を交流駆動するために走査信号を交流化する信号である。

【0090】また、LSIチップ23には、前述のように電源電圧Vcc、基準電圧Vssおよび昇圧電源電圧Vddと、液晶パネル1に印加するための電圧V0・V1・V4・V5(図2参照)が入力される。

【0091】一般に、LSIチップ23のような走査線電極を駆動するLSIチップも、データ線電極駆動用のLSIチップと同様、多出力および少入力であるため、非常に細長い長方形形状をなしている。このため、そのLSIチップにおいて、液晶パネル1側の長辺、あるいは両隣の短辺も含む3辺、さらには他の長辺にも出力端子が配される。一方、入出力信号および電源用の端子は、他の長辺に配されている。

【0092】そして、多くの液晶パネル1は、横方向(走査線電極Yの長手方向)の画素数が多く、かつR, G, B各々の表示データを扱う。このため、走査線電極駆動用のLSIチップは、データ線電極駆動用のLSIチップと比較して出力端子数が少ない。

【0093】この点に着目して、本実施の形態のように、LSIチップ24に接続される信号線や電源線(これらの信号線や電源線の本数は比較的少ないこともある)をLSIチップ23の下方に設けることで、配線部25・25を液晶パネル1の左右両側に分ける配置を容易に実現することができる。これにより、液晶パネル1の中央に表示エリア1aの中央を配する配線手法を容易に実現することができる。また、配線の無駄な引き回しがなくなることで、細長い長方形形状の2種類のLSIチップ23・24を長手方向の側面で互いに近づけて実装できることから高密度実装が可能になる。さらに、後に詳述するように、関連LSIチップ(コントロール回路13等、他の関連LSIも含む)もフィルム基材22上に実装することが可能になり、液晶モジュールの小型化を実現することができる。

【0094】以上に述べたように、LSIチップ23の下方(実装領域22b)に第2配線部28bを通過させることにより、LSIチップ23・24を単一のフィルム基材22上に実装しても、入力信号線の引き回しを簡単にすることができる。それゆえ、LSIチップ23を複数個配置する必要がなくなる。

【0095】また、高速のデータ転送クロック線やデータ線の引き回しがなく、短い配線が可能である。これによって、外来ノイズによる表示品位の低下を抑えることができ、表示モジュールの配置設計が容易になる。また、同じく電源線の引き回しがなく、短い配線が可能になる。これによって、電源線に侵入するノイズによる表

示品位の低下を抑えることができる。

【0096】上記のように、配線の引き回しがなくなることによって、フィルム基材22の配線設計が容易になる。これとLSIチップ23・24の高密度実装化とを併せることによって、フィルム基材22の面積が縮小されるので、実装パッケージ21のコストダウンが可能になる。

【0097】さらに、配線の引き回しが容易になることにより、単層または両面配線で配線が可能になり、フィルム基材22を多層に形成する必要がなくなる。これによって、フィルム基材22の薄さによる可撓性が損なわれることがないので、表示モジュールの設計容易性と小型化を実現することができる。これは、小型化、軽量化およびコストダウンの要求が高い携帯電話等の携帯機器において特に有効である。

【0098】そして、LSIチップ23・24間の配線が容易になるので、駆動装置以外の部品を実装および配線することも容易になる。特に、配線領域を設けて通過配線をまとめて通すため、LSIチップ23・24の端子電極間を配線したり、入出力線が入り乱れて配線が引き回されることがなくなる。それゆえ、配線が最短となって配線設計を容易にすることができる。これにより、周辺部品を1つのフィルム基材22上に実装した形態で表示パネル1を提供することができ、表示モジュールの組み立て工程を非常に簡素化できるとともに、信頼性も向上する。

【0099】〔実施の形態2〕本発明の実施の他の形態について図2、図3および図6ないし図12に基づいて説明すれば、以下の通りである。なお、本実施の形態において、前述の実施の形態1における構成要素と同等の機能を有する構成については、同一の符号を付記してその説明を省略する。

【0100】本実施の形態に係る液晶モジュールは、実施の形態1の液晶モジュールと同様、図2に示すように、液晶パネル1、コモンドライバ11、セグメントドライバ12、コントロール回路13、電圧発生回路14、VRAM15等を備えている。ただし、本液晶モジュールにおける液晶パネル1は、実施の形態1における実装パッケージ21（図1参照）とは異なり、図12に示す実装パッケージ51が接続されている。

【0101】実装パッケージ51は、実装パッケージ21と同様、フィルム基材22上に、LSIチップ23・24が実装されるとともに、配線部25・26・28および接続端子群27が設けられている。この実装パッケージ51においては、さらにフィルム基材22上に、コントロール回路13、電圧発生回路14およびVRAM15がそれぞれチップに集積されたコントロールチップ52、電圧源チップ53およびVRAMチップ54が実装されている。

【0102】コントロールチップ52と接続端子群27

との間は、フィルム基材22上に形成されるシステムバス16によって接続されている。また、配線部28は、電圧源チップ53に接続される電圧線28cおよび接続端子群27に接続される電源線28dを含んでいる。電圧線28cは、電圧源チップ53で発生する前述の電圧V0～V5をLSIチップ23・24に付与するために設けられる。電源線28dは、外部から与えられる前述の電源電圧Vcc、基準電圧Vssおよび昇圧電源電圧VddをLSIチップ23・24に付与するために設けられる。

【0103】このように構成される実装パッケージ51においても、実施の形態1の実装パッケージ21と同様、第2配線部28bが、図3(a)および(b)に示すCOF技術を用いて、フィルム基材22上でLSIチップ23の下方を通過するように配されている。これにより、実装パッケージ21と同様、第2配線部28bを構成する各配線の断絶を防止することができる。

【0104】なお、本実施の形態でも、実施の形態1と同様、図6ないし図11に示すようなLSIチップ23と配線部28との接続構造が適用されるのは勿論である。

【0105】また、本実施の形態および実施の形態1では、液晶パネル1が単純マトリクス型の電極構造を有している例について説明したが、液晶パネル1が他のタイプの電極構造を有していてもよい。例えば、液晶パネル1がTFT型である場合、図2におけるコモンドライバ11およびセグメントドライバ12が、それぞれゲートドライバおよびソースドライバに置き換えられる。したがって、実装パッケージ21・51に実装されるLSIチップ23・24も、それぞれゲートドライバおよびソースドライバがチップに集積されたLSIに置き換えられる。

【0106】また、両実施の形態では、LSIチップ23に第2配線部28bを通過させることができるようにバンパ23a…を配置する構造の例を説明したが、その構造に限定されることはない。例えば、フィルム基材22上でのチップ配置や配線レイアウトを勘案して、上記のような配線領域を確保できるように端子電極（バンパ）を形成したLSIを作製すればよい。

【0107】また、液晶パネル1がSTN液晶パネルである場合、図1に示すデータ線電極群3を液晶パネル1の上下に分割するパネル構造を採用した液晶モジュールでは、液晶パネル1の上部および下部のそれぞれに実装パッケージ21または51を取り付けてもよい。また、LSIチップ24は、縦続接続された複数のLSIチップによって構成されていてもよい。

【0108】また、両実施の形態では、表示パネルとして液晶パネル1を用いた例について説明したが、これに限らず、LSIチップ23・24と同様な駆動用のLSIチップによって駆動される表示パネルであれば、前述

の実装構造を適用することができる。

【0109】さらに、両実施の形態は、マトリクス型に電極が配置される表示パネル1の駆動を、X軸側駆動装置（コモンドライバ）およびY軸側駆動装置（セグメントドライバ）によって行い、これらの駆動装置を、配線を有する絶縁性フィルム基板上に実装して搭載する多出力端子用表示モジュールに有効である。

【0110】

【発明の効果】以上のように、本発明の表示素子駆動装置は、互いに交差するようにマトリクス状に配された複数の第1電極と複数の第2電極とを有する表示素子を駆動するために設けられ、上記第1電極を駆動する駆動回路がチップに集積された第1集積回路および上記第2電極を駆動する駆動回路がチップに集積された第2集積回路と、接続端子および該接続端子と上記第1集積回路とを接続する接続配線を有するとともに、上記接続端子と上記表示素子との間で上記第1集積回路が上記第2集積回路よりも上記表示素子に近い位置にあるように上記第1および上記第2集積回路を実装する単一の実装基板とを備え、この実装基板において、上記接続配線が上記第2集積回路の実装領域を通過するように固定して配されている構成である。

【0111】これにより、接続配線がその実装領域を迂回して配されることがないので、接続配線を最短に配置することができ、接続配線の引き回しが不要になる。これにより、実装基板の面積を縮小することができる。また、実装基板において、接続配線は、固定して配されているので、第2集積回路の実装基板への実装時に生じる圧力で断線することはない。したがって、表示素子駆動装置のコストの低減を図ることができるという効果を奏する。

【0112】上記の表示素子駆動装置において、上記実装基板が、上記第2集積回路から上記表示素子への出力配線を有し、該出力配線が、上記第2集積回路の両端部から上記第1集積回路の両側方を通過するように配され、上記接続配線が第2集積回路の両端部間を通過するように配されていることによって、第2集積回路と第1集積回路との間に出力配線が存在しない。そこで、接続配線が第2集積回路の両端部間を通過するように配されることによって、接続配線を上記の出力配線が存在しない領域に配置することができる。したがって、接続配線および出力配線を最短で配置することができ、表示素子駆動装置のコストの低減をより一層図ることができるという効果を奏する。

【0113】上記の表示素子駆動装置において、上記第2集積回路が、その実装面において、上記接続配線の通過領域を除く領域に外部との電氣的接続のための接続電極を有することによって、接続配線の通過領域に接続電極が存在しないので、第2集積回路の実装領域を通過する接続配線が接続電極と接触することがない。したがっ

て、不要な短絡を回避することで、表示素子駆動装置の信頼性を向上させることができるという効果を奏する。

【0114】また、この構成においては、上記第2集積回路が、上記接続電極とほぼ同じ高さを有する非導電性の突起を上記接続配線の通過領域に有すること、あるいは、上記の構成においては、上記実装基板が、上記接続電極とほぼ同じ高さを有する非導電性の突起を上記接続配線の通過領域に有することによって、部分的な応力の集中をなくすることができる。したがって、表示素子駆動装置の品質を向上させることができるという効果を奏する。

【0115】上記の各表示素子駆動装置においては、上記第2集積回路が、上記接続配線を通過する信号の少なくとも1つの信号に所定の処理を施す処理回路を有していることによって、処理回路を実装基板上に独立して設ける必要がなくなる。したがって、表示素子駆動装置のより一層のコスト低減を図ることができるという効果を奏する。

【0116】本発明の表示装置は、上記表示素子と、上記表示素子駆動装置のいずれかとを備えている構成であるので、各表示素子駆動装置のそれぞれの利点を有する表示装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態に係る液晶モジュールにおける液晶パネルおよびそれに取り付けられる実装パッケージの構成を示す平面図である。

【図2】本発明の全ての実施の形態に共通する上記液晶モジュールの構成を示すブロック図である。

【図3】（a）は本発明の全ての実施の形態に共通する実装パッケージにおける走査線電極駆動用のLSIチップとその下方にリードが配される構造を示す側面図であり、（b）は同構造をフィルム基材側から見た平面図である。

【図4】上記LSIチップにおけるバンプの配置構造を示す平面図である。

【図5】上記LSIチップにおけるバンプの他の配置構造を示す平面図である。

【図6】突起を有する上記LSIチップへの配線構造を示す平面図である。

【図7】突起を有する上記フィルム基材の構造を示す平面図である。

【図8】突起を有しない上記LSIチップへの配線構造を示す平面図である。

【図9】突起を有しない上記LSIチップへの他の配線構造を示す平面図である。

【図10】突起を有する上記LSIチップへの他の配線構造を示す平面図である。

【図11】（a）は内部に各種回路を有する上記LSIチップへの配線構造を示す平面図であり、（b）は各種回路の構成を示すブロック図である。

【図12】本発明の実施の他の形態に係る液晶モジュールにおける液晶パネルおよびそれに取り付けられる実装パッケージの構成を示す平面図である。

【図13】一般的なマトリクス型の液晶表示パネルの要部の構成を示す平面図である。

【図14】TCPを用いて液晶パネルにおけるガラス基板に駆動用LSIチップを実装する構造を示す平面図である。

【図15】COG技術によって液晶パネルにおけるガラス基板に直接駆動用LSIチップを実装する構造を示す平面図である。

【図16】TCPを用いて液晶パネルにおけるガラス基板に複数の駆動用LSIチップを実装する構造を示す平面図である。

【図17】TCPを用いて液晶パネルにおけるガラス基板に単一の駆動用LSIチップを実装する構造を示す平面図である。

【図18】図15の実装構造を有する液晶パネルにおいて表示エリアが偏った位置に配される構造を示す正面図である。

【図19】図15の実装構造を有する液晶パネルにおい

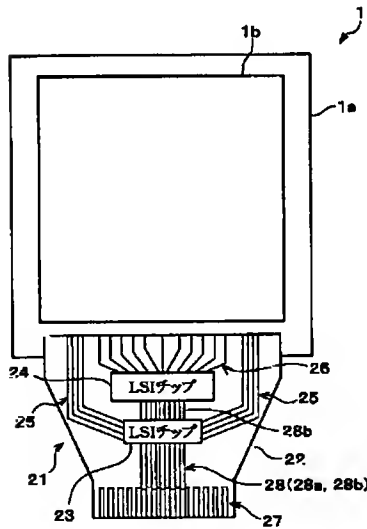
て表示エリアが左右対称な位置に配される構造を示す正面図である。

【図20】一般的なTCPにおけるLSIチップの実装構造を示す側面図である。

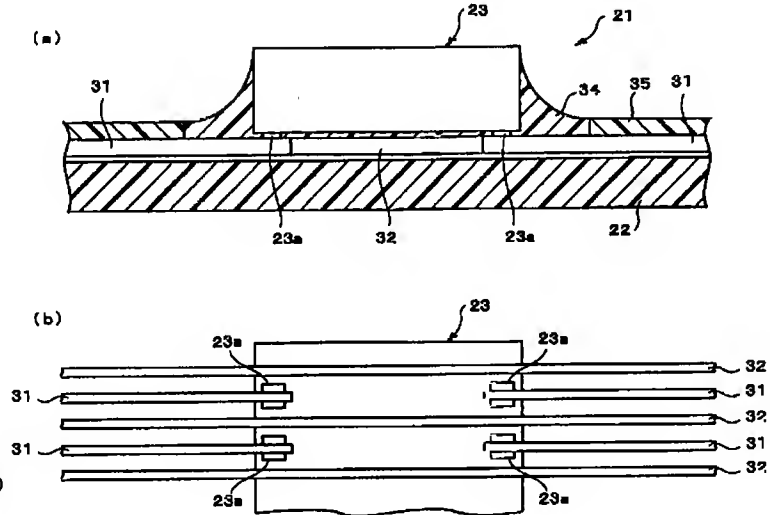
【符号の説明】

- | | |
|-------|----------------|
| 1 | 液晶パネル（表示素子） |
| 22 | フィルム基材（実装基板） |
| 22a | 突起 |
| 22b | 実装領域 |
| 23 | LSIチップ（第2集積回路） |
| 23a | bumps（接続電極） |
| 23b | 突起 |
| 23c | 実装面 |
| 24 | LSIチップ（第1集積回路） |
| 25 | 配線部（出力配線） |
| 27 | 接続端子群（接続端子） |
| 28b | 第2配線部（接続配線） |
| 41~44 | 内部回路（処理回路） |
| X1~Xm | 走査線電極（第2電極） |
| Y1~Yn | データ線電極（第1電極） |

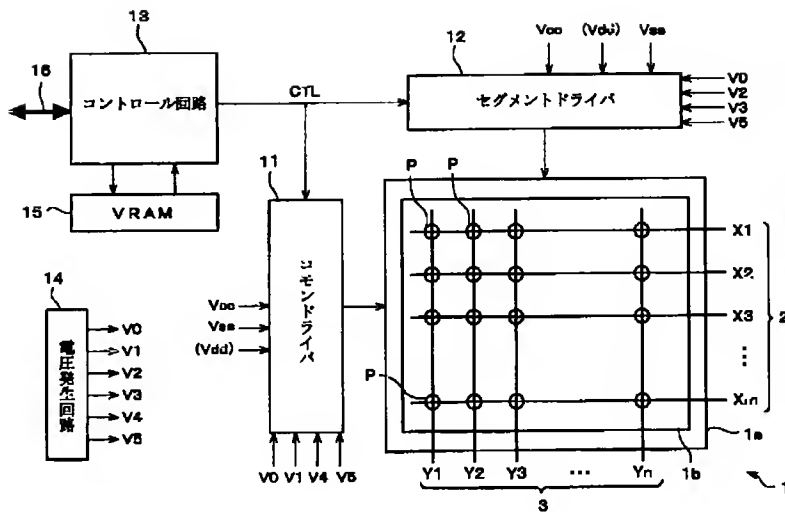
【図1】



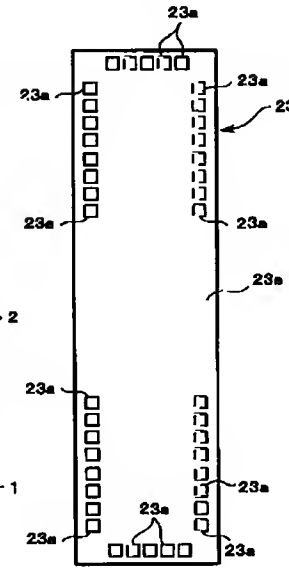
【図3】



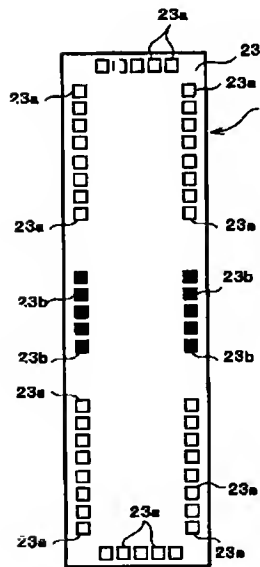
【図2】



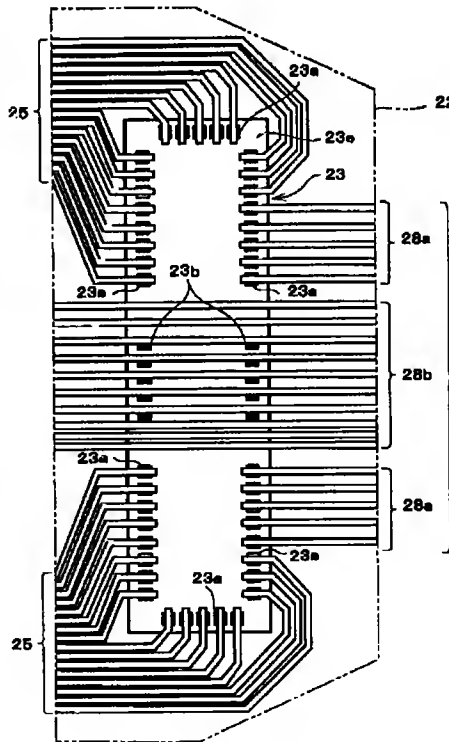
【図4】



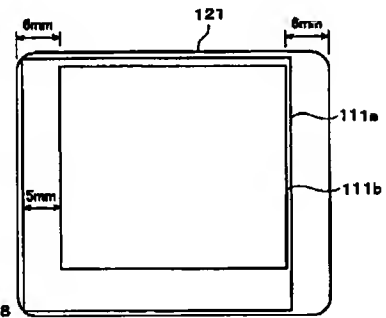
【図5】



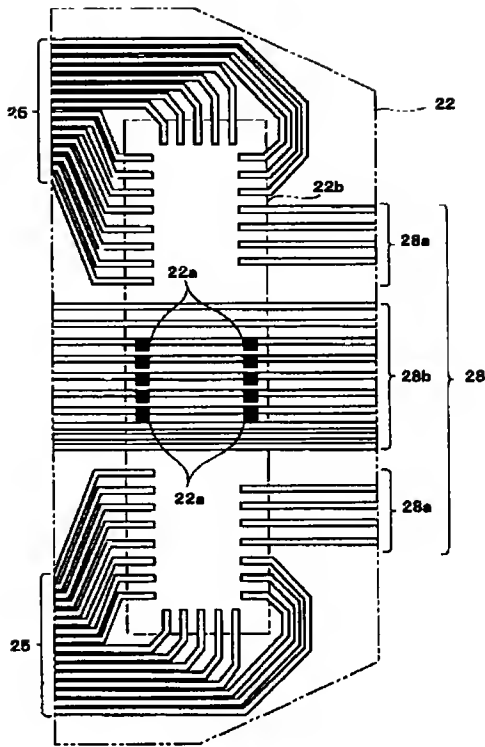
【図6】



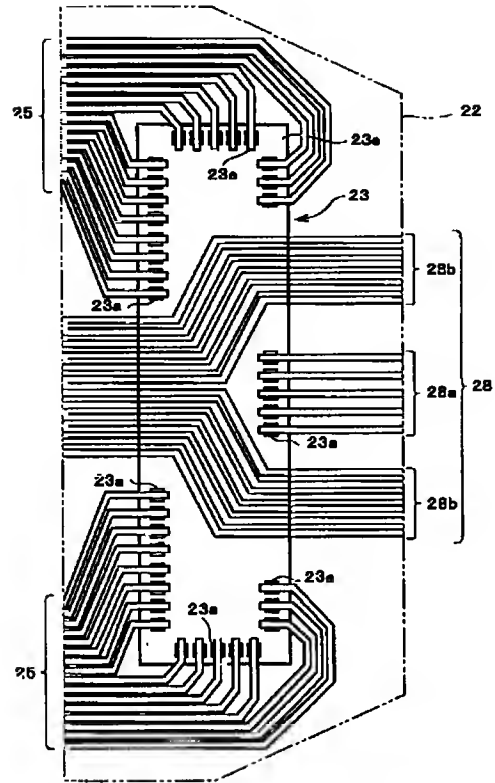
【図19】



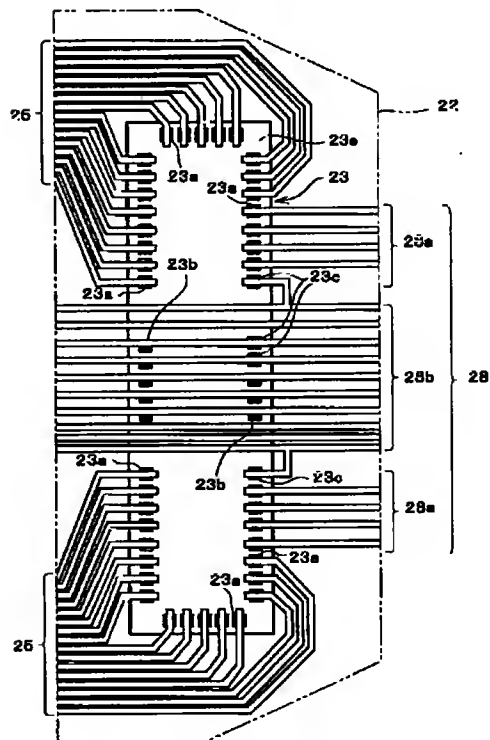
【図7】



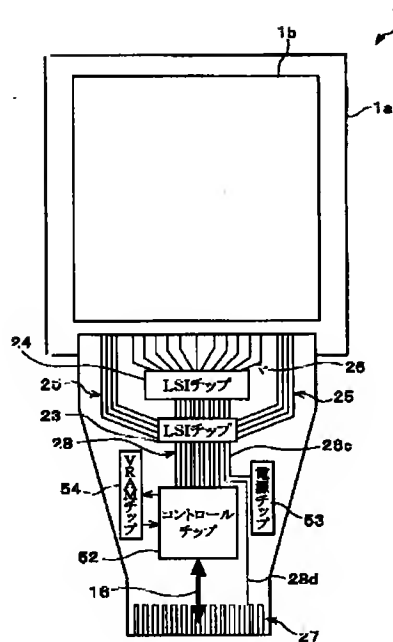
【図8】



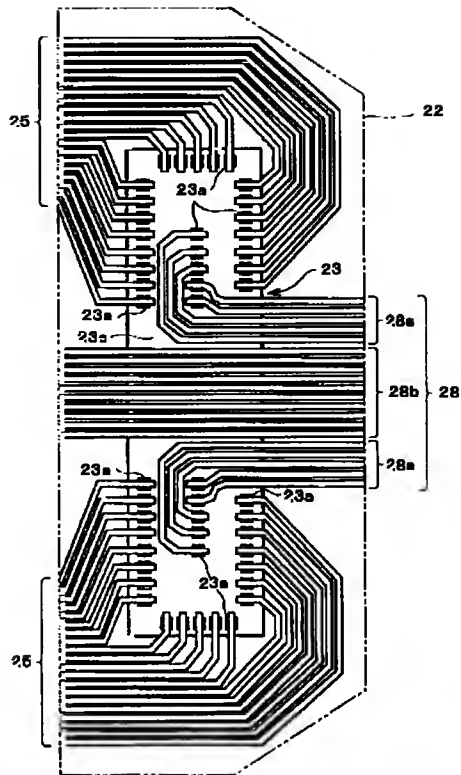
【図10】



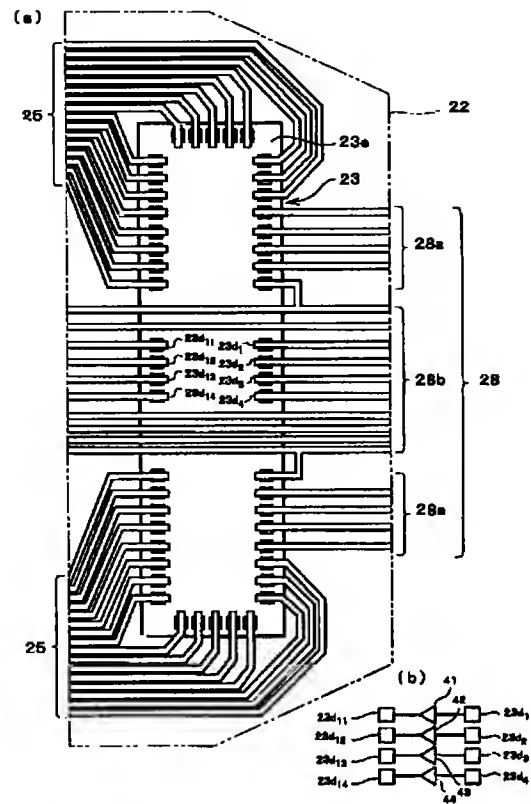
【図12】



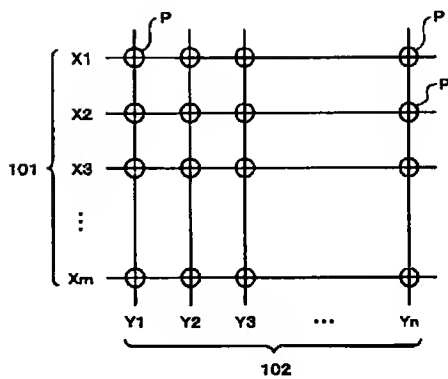
【図9】



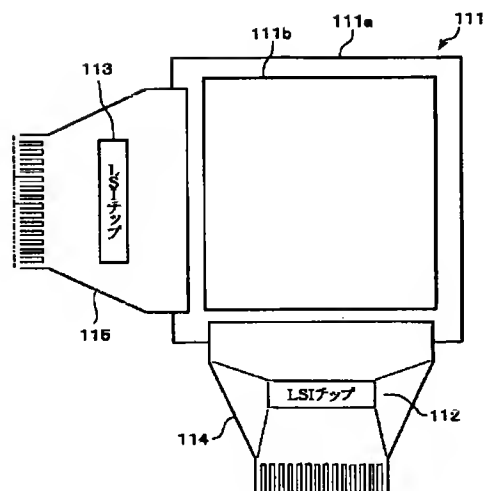
【図11】



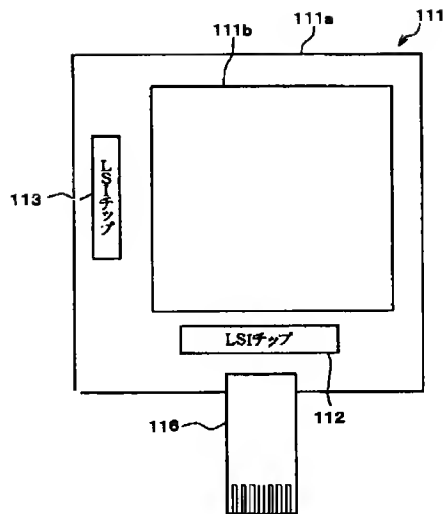
【図13】



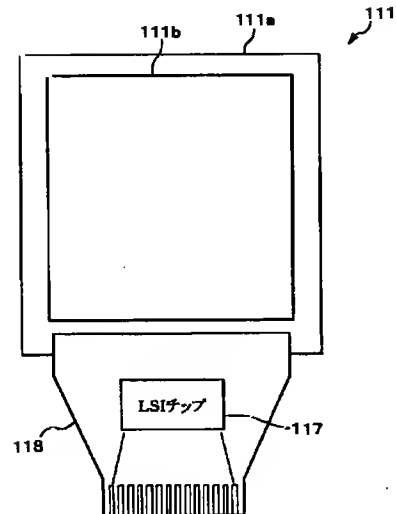
【図14】



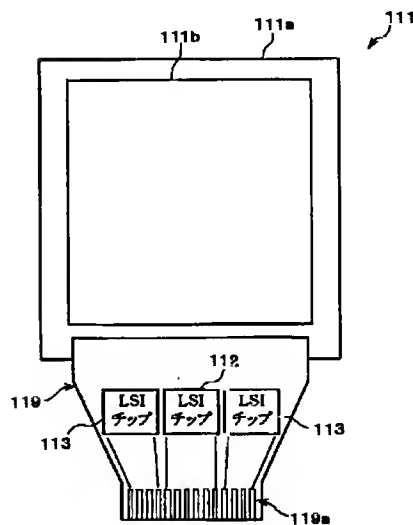
【図15】



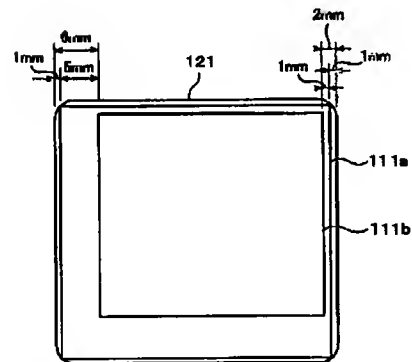
【図16】



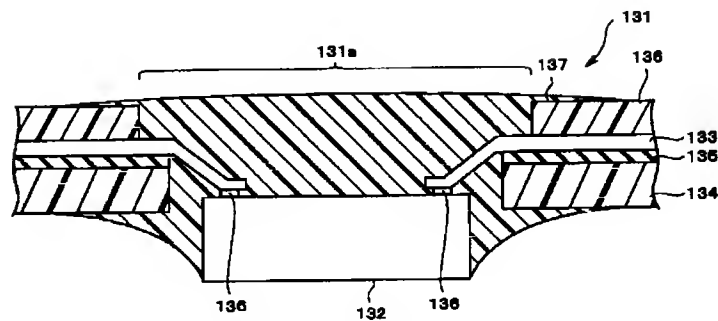
【図17】



【図18】



【図20】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	(参考)
H 0 5 K 1/02		H 0 5 K 1/02	J

F ターム(参考) 2H092 GA45 GA60 NA27
5E338 AA01 AA12 AA16 BB75 CC01
CD13 EE11
5F044 KK03 KK09 MM03 MM16 MM21
QQ02 RR01
5G435 AA17 BB12 CC09 EE34 EE40
EE47 KK09